

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭60—6998

⑤ Int. Cl.⁴

G 10 L 3/02

G 11 B 20/02

識別記号

庁内整理番号

7350—5D

7736—5D

④ 公開 昭和60年(1985)1月14日

発明の数 1

審査請求 未請求

(全 11 頁)

⑬ 信号処理装置

35号ソニー株式会社内

① 特 願 昭58—113955

② 出 願 昭58(1983)6月24日

③ 発 明 者 浜田修

東京都品川区北品川6丁目7番

⑦ 出 願 人 ソニー株式会社

東京都品川区北品川6丁目7番

35号

④ 代 理 人 弁理士 小池晃

外1名

明 細 書

1. 発明の名称

信号処理装置

2. 特許請求の範囲

入力信号をそれぞれ遅延する少なくとも2個の可変遅延手段と、これらの可変遅延手段の遅延時間をそれぞれ制御する制御手段と、上記各可変遅延手段からの出力信号を実質的に切換えて取り出す切換手段と、上記各可変遅延手段からの出力信号間の位相差最少点を検出する検出手段とを備え、この検出手段からの出力に応じて上記制御手段及び上記切換手段を制御して、上記各可変遅延手段からの各出力信号間の位相差が最少となるときのこれらの可変遅延手段の遅延時間変化速度を互いに等しくするとともに上記各出力信号を一方から他方に切換えて取り出すようにして成る信号処理装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、例えばオーディオ信号を時間軸圧縮

又は伸張処理することによりピッチ(音程)を変更するような信号処理装置に関し、特に、同一入力信号をそれぞれ個別に時間軸圧縮又は伸張処理して得られた2組の出力信号を交互に切換えて取り出す際の異音発生を防止し得るような信号処理装置に関する。

〔背景技術とその問題点〕

通常のオーディオテープレコーダにおいて、録音時のテープ走行速度に対して、再生時のテープ走行速度を速くすれば、再生時間が短くなるとともに音程(ピッチ)が高くなり、また再生時のテープ走行速度を遅くすれば、再生時間が長くなるとともに音程が低くなることが一般に知られている。ところで、単に再生速度のみを変更したい場合、例えば口述筆記(ディクテーション)するために筆記可能な低速で録音内容を再生する場合や、録音内容の概要を短時間で把握するようないわゆる斜め読みをするために高速で再生する場合等に、テープ走行速度のみを変更しただけでは音程(ピッチ)が変化してしまうため、聴き取りに

くという欠点が生ずる。

そこで、入力オーディオ信号の音声や楽音等のピッチのみを変更するようなピッチ変換機能を有するオーディオ信号処理装置を用いて、上述のように再生速度を変更した場合でも元の録音時と略同じピッチの再生信号を得るようにする技術が種々提案されている。

このようなピッチ変換用のオーディオ信号処理装置は、各種効果音形成の用途や、歌手無しのバックオーケストラ(いわゆるカラオケ)を再生する際のピッチ変更の用途等にも使用し得るものである。

ところで、従来のピッチ変換用のオーディオ信号処理装置には、例えば、BBD(バケツリレー素子)やCCD(電荷結合素子)等のアナログ遅延素子を用い、その書き込み、読み出しクロックを時間的に変化させて遅延時間制御を行なう方式のものや、あるいは、入力オーディオ信号をデジタル信号に変換し、シフトレジスタやRAM(ランダムアクセスメモリ)等のデジタル遅延素

子を用い、書き込み、読み出し制御により時間軸圧縮・伸張動作を行なう方式のもの等が知られている。

この場合の時間軸圧縮・伸張動作は、入力信号を一定の時間、例えば数十ms程度のフレームに分割し、これらのフレーム毎に時間軸を圧縮又は伸張するような処理を行なっており、出力信号においては上記フレーム毎の信号接続点にて波形不連続が生じ、クリックノイズ発生等の悪影響が生ずる。このため、2組の遅延素子を用いて、それぞれ上記フレームの接続点が互いに重ならないように時間軸圧縮又は伸張動作を行なわせ、これらの出力信号の一方のフレーム接続点近傍を他方の信号で置き換えることにより、上記クリックノイズ発生等の悪影響を防止している。このときの出力信号の一方から他方への切り換えは、一般にいわゆるクロスフェード操作により行なっているが、音源が例えば正弦波に近い場合等では2組の出力信号の位相差に応じて、クロスフェード部分の信号の振幅が変動し、異常が発生するという欠点を

有している。

[発明の目的]

本発明は、上述の実情に鑑みてなされたものであり、入力信号をフレーム毎に時間軸圧縮又は伸張し、~~これらのフレーム毎の信号を時間的に接続して出力する場合の接続点における波形不連続を低減し、クリックノイズや異音発生等の悪影響を防止し得るような信号処理装置の提供を目的とする。~~
て得られる2つの出力信号を時間的に接続して出力する場合の接続点における波形不連続を低減し、クリックノイズや異音発生等の悪影響を防止し得るような信号処理装置の提供を目的とする。

[発明の概要]

すなわち、本発明に係る信号処理装置は、入力信号をそれぞれ遅延する少なくとも2個の可変遅延手段と、これらの可変遅延手段の遅延時間をそれぞれ制御する制御手段と、上記各可変遅延手段からの出力信号を実質的に切換えて取り出す切換手段と、上記各可変遅延手段からの出力信号間の位相差最少点を検出する検出手段とを備え、この検出手段からの出力に応じて上記制御手段及び上記切換手段を制御して、上記各可変遅延手段からの各出力信号間の位相差が最少となるときこれら

の可変遅延手段の遅延時間変化速度を互いに等しくするとともに上記各出力信号を一方から他方に切換えて取り出すようにしたことを特徴としている。

[実施例]

本発明に係る信号処理装置の実施例の説明に先立ち、本発明の先行技術としてのピッチ変換機能を有するオーディオ信号処理装置について図面を参照しながら説明する。

先ず第1図は、本発明の先行技術となる信号処理装置の一例としてのピッチ変換装置の基本構成を示すブロック回路図である。

この第1図において、入力端子1にはアナログオーディオ信号あるいはデジタルオーディオ信号が供給されており、この入力信号は第1、第2の2個の可変遅延素子21、22にそれぞれ送られている。これらの可変遅延素子21、22としては、入力信号の形態に応じて、前記BBD等のアナログ遅延素子、あるいはシフトレジスタ、RAM等のデジタル遅延素子を用いることができ、

例えば書き込み、読み出しのクロックやアドレスを制御することにより遅延時間を制御し得るようになっている。これらの第1, 第2の可変遅延素子21, 22からの各出力信号は、それぞれ第1, 第2の可変減衰器31, 32を介して加算器33に送られ、この加算器33からの出力が出力端子2より取り出される。これらの可変減衰器31, 32及び加算器33は、後述するクロスフェード操作を行なうためのクロスフェード切換回路部30を構成している。

このような第1図の構成において、可変遅延素子21, 22の遅延時間を時間経過に伴って変化させ、入力信号の時間軸を圧縮又は伸張して取り出している。例えば第2図は時間軸を圧縮してピッチを上げる場合を示しており、波形Aは第1の可変遅延素子21の遅延時間の変化状態を、また波形Dは第2の可変遅延素子22の遅延時間の変化状態を、それぞれ示している。この第2図の例においては、可変遅延素子21, 22の最大遅延時間と最小遅延時間との差をそれぞれ共に T_D と

しており、一定の繰り返し周期(フレーム周期) T_F で上記最大遅延時間から最小遅延時間まで直線的に減少するように遅延時間の制御が行なわれる。ここで、以下の説明を簡略化するために、上記最小遅延時間を0とする。

まず、第1の可変遅延素子21において、第2図の時刻 t_1 (の直後) から上記繰り返し周期 T_F 後の時刻 t_2 までの間に遅延時間が最大値 T_D から最小値0まで変化することにより、入力信号(第2図B参照)のうちの時刻 t_1 より上記時間 T_D だけ前の点 p_1 から時刻 t_2 の点 p_2 までの時間 $T_F + T_D$ 分の内容が時間 T_F に圧縮されて、遅延出力信号(第2図C参照)中の時刻 t_1 の点 q_1 から時刻 t_2 の点 q_2 までの内容となって出力される。すなわち、第2図Cの遅延出力信号の点 q_1 の内容は、このときの遅延時間が T_D であることより、第2図Bの入力信号中の時刻 t_1 より T_D だけ前の点 p_1 の内容であり、以下時間が経過するに従って遅延時間が短くなり、 T_F 後の時刻 t_2 (の直前) では遅延時間が0となって、入力信号中の点

p_2 の内容がそのまま出力信号の点 q_2 の内容となる。さらに、この時刻 t_2 においては、遅延回路21の遅延時間が最小値0から最大値 T_D まで不連続に変化しており、この時刻 t_2 直後の出力信号(第2図C)の点 q_2 の内容は、入力信号(第2図B)中の時刻 t_2 より T_D だけ前の点 p_2 の内容となっている。以下同様にして、入力信号(第2図B)中の点 p_2 から点 p_3 までの時間 $T_F + T_D$ の内容が出力信号(第2図C)中の点 q_2 から点 q_3 までの時間 T_F の内容に時間軸圧縮されて現われ、入力信号中の p_3 から p_4 までの内容が出力信号中の q_3 から q_4 までの内容として現われるように順次繰り返されることにより、入出力間で時間軸が $\frac{T_F}{T_F + T_D}$ だけ圧縮されることになる。この場合、出力信号(第2図C)中の時刻 t_1, t_2, t_3, \dots の内容は不連続となっており、またこれらの時刻 t_1, t_2, t_3, \dots 近傍において、入力信号(第2図B)中の各点 p_1, p_2, p_3, \dots からそれぞれ時間 T_D 分の内容が重複して出力されることになる。

第2の可変遅延素子22についても同様な動作

が行なわれるわけであるが、遅延時間が不連続に変化するタイミングを上記第1の遅延素子21に対して略半周期分(略 $T_F/2$)ずらしている。すなわち、第2図Dの遅延時間の変化を示す波形において、遅延時間が最小値0から最大値 T_D まで不連続に変化する時刻 t_2, t_4, t_6, \dots は、上記時刻 $t_1, t_3, t_5, t_7, \dots$ のそれぞれ略中央の時刻となっている。そして、時刻 t_2 (の直後) で遅延素子22の遅延時間が T_D となっているときには、入力信号(第2図B)中の T_D 前の点 r_1 の内容が出力信号(第2図F)中の点 s_1 の内容となって現われ、以下時間が経過に伴って遅延時間が減少してゆくことにより時間軸圧縮が行なわれて、繰り返し周期 T_F 時間後の時刻 t_4 (の直前) においては、遅延時間が0となり、入力信号(第2図B)中の点 r_2 の内容がそのまま出力信号(第2図F)中の点 s_2 の内容となって現われる。以下同様に時刻 t_4 (の直後) から時刻 t_6 (の直前) までは、入力信号中の点 r_2 から r_4 までの内容が出力信号中の点 s_2 から s_4 までの内容となって現われ、…と繰り返

返されることにより、入力信号の時間軸が $\frac{T_r}{T_r+T_n}$ に圧縮されて出力される。

次に、このような時間軸圧縮処理がなされて遅延素子21又は22から出力された出力信号、例えば第2図Cの第1の出力信号は、時刻 $t_1, t_2, t_3, t_4, \dots$ にて不連続点を有しており、これらの不連続点においてはクリックノイズ等の雑音が発生するため、他方の出力信号、例えば第2図Fの第2の出力信号で上記各時刻 $t_1, t_2, t_3, t_4, \dots$ 近傍を置換することにより、上記雑音発生を防止している。この場合の一方の出力信号から他方の出力信号への切換えは、上記クロスフェード切換回路部30の各可変減衰器31、32の信号減衰量を互に対称的に（互いに逆向きに）増加、減少させて加算器33にて加算混合して取り出すようないわゆるクロスフェード操作により行なっている。すなわち、第2図Gは、各可変減衰器31、32によるクロスフェード切換波形を示し、実線が第1の可変減衰器31の減衰量を、仮想線が第2の可変減衰器32の減衰量を、それぞれ示して

いる。この第2図Gから明らかなように、時刻 t_1, t_2 の略中間の時刻 t_{1-2} 近傍においては、第1の可変減衰器31の減衰量を少なくするとともに、第2の可変減衰器32の減衰量を多くして、時刻 t_2 近傍にて第1の出力信号（第2図C）のみが加算器33から得られるようにし、また、時刻 t_2, t_3 の略中間の時刻 t_{2-3} 近傍においては、第1の出力信号を減衰し、第2の出力信号（第2図F）を増加させて、時刻 t_3 近傍にて第2の出力信号のみが加算器33から得られるようにしている。

上記各可変遅延素子21、22としてRAM（ランダムアクセスメモリ）を用いる場合には、入力されたデジタル信号データの書き込みアドレスWA及び読み出しアドレスRAの制御を次のように行なうことにより、容易に第2図AやDに示すような動作を行なわせることができる。

すなわち、第3図は上記各可変遅延素子21、22として用いるRAMのアドレス空間を円周にて示すものであり、書き込みアドレス（ライトアドレス）WAと読み出しアドレス（リードアドレ

ス）RAとが、このアドレス空間に対応する円周上を一定方向（図中矢印方向）に移動するとき、ライトアドレスWAの移動速度よりもリードアドレスRAの移動速度を速くすることによって、入力信号（書き込まれる信号）を時間軸圧縮して読み出すことができる。ここで、各アドレスWA、RAの上記移動は、例えばアドレスカウンタからのアドレス値が順次歩進されることを意味し、これらのアドレスカウンタのクロックパルス（カウンタパルス）の周波数を高めることで上記移動速度を速くできる。また、RAMアドレス空間を円周で示すのは、アドレス値となる2進数値のオーバーフローを無視するとき、最大値（全ビットが'1'）に1を加算した値が最小値（全ビットが'0'）となることを考慮して、アドレス値の最大値を最小値に連続させたものである。そして、リードアドレスRAからライトアドレスWAまでの間に配されるアドレスの個数、あるいはアドレス差WA-RAが信号遅延時間を決定するものであり、これを図中のDLで示している。上述のように、

リードアドレスRAの移動速度がライトアドレスWAよりも速い場合には、上記信号遅延時間を決定するDLが時間経過に伴って短くなってゆき、図中の円周上でRAがWAに追い付き、追い抜いてゆく。このRAとWAとが一致した時点が上記不連続点となって現われ、遅延時間としては、上記追い付き直前が略0となって最も短かく、追い抜いた直後がRAMの全アドレス分に対応する最大遅延時間（上記 T_D ）となる。

なお、各遅延素子21、22に対応してそれぞれ独立のRAM等を設ける必要はなく、1個のRAMに対して2系統の読み出しを例えば第4図のように行なうことにより、上記第1、第2の出力信号を得ることができる。すなわち、第4図において、ライトアドレスWAは一定速度で矢印方向に移動しており、これよりも速い移動速度の2つのリードアドレスRA₁、RA₂が円周上で互いに180°の角度差を保って矢印方向に移動している。したがって、ライトアドレスRA₁により読み出される信号の遅延時間は図中のDL₁で、またライト

アドレス RA₁により読み出される信号の遅延時間は図中の DL₁でそれぞれ決定され、前述した第2図 A, D のような遅延時間の変化状態が実現できる。

このような本発明の先行技術となる信号処理装置において、入力信号が正弦波に近い場合には、上記第1の出力信号と第2の出力信号の位相差に応じて、上記クロスフェード時点近傍の加算出力信号の振幅が変動することになる。第5図及び第6図は、一例として一定振幅の正弦波信号が入力されるときの動作を示し、上記第1の出力信号(第5図 A, 第6図 A)が時刻 t_A から t_B までの間に一定の割合で減衰されて 0 レベルとなるのに対して、上記第2の出力信号(第5図 B, 第6図 B)が時刻 t_A から t_B までの間に一定の割合で 0 レベルから元の入力信号の振幅のレベルにまで増大されている。そして、第5図の例では、第1, 第2の各出力信号 A, B の位相が互いに一致しており、加算された出力信号(第5図 C)は略元の入力信号の一定振幅で連続して得られる。ところ

が、第6図の例のように、第1の出力信号 A と第2の出力信号 B の位相が互いに例えば 180°ずれている(略逆相となっている)場合には、加算された出力信号は第6図 C に示すように、時刻 t_A , t_B 間の略中央の時刻 t_C において各出力信号 A, B の振幅が略等しくなって互いに相殺されるため、時刻 t_A から t_C まで減衰し時刻 t_C から t_B まで増大するようなエンベロープ波形となる。したがって、このクロスフェード後の再生音に悪影響が生じ、好ましくない。

そこで、本発明の信号処理装置においては、上記各遅延出力信号間の位相差が最少となる点でクロスフェード等の信号切換えを行ない、上記信号接続点での不都合を除去している。

すなわち、第7図は本発明に係る信号処理装置の好ましい一実施例を示すブロック回路図である。この第7図において、入力端子1、第1, 第2の可変遅延素子 21, 22、第1, 第2の減衰器 31, 32、加算器 33、及び出力端子2は、前述した第1図と同様に構成されている。ここで、減

衰器 31, 32 及び加算器 33 は、各可変遅延素子 21, 22 からの出力信号を一方から他方へ切換えるための切換手段の一種であり、単なる切換スイッチでもよいが、信号の連続性を良好なものとするために、一方の信号を減衰し他方の信号を増大させながら加算混合する、いわゆるクロスフェード切換回路部 30 を構成している。

さらに、本発明の一実施例である第7図の信号処理装置においては、第1, 第2の可変遅延素子 21, 22 からの各遅延出力信号間の位相差が最少となる点を検出するための位相差検出回路 40 が設けられており、この位相差最少点の検出回路 40 からの出力に基づいて、上記クロスフェード切換回路部 30 の各可変減衰器 31, 32 の減衰量可変動作が制御され、また、各可変遅延素子 21, 22 の遅延量を制御する遅延制御回路 23 の動作が制御される。

ここで、各遅延出力信号間の位相差が最少となる点を検出するための検出回路 40 は、例えば第8図のように構成すればよい。この第8図におい

て、各入力端子 41, 42 には、上記各可変遅延素子 21, 22 からの遅延出力信号がそれぞれ供給されており、これらの各信号はそれぞれローパスフィルタ 43, 44 を介し、ローパスフィルタ 44 からの出力のみ反転増幅器(インバータ) 45 を介して、加算器 46 に送られている。すなわち、これらのローパスフィルタ 43, 44、インバータ 45、及び加算器 46 により、端子 41, 42 に供給された信号の高域成分(例えば数 kHz 以上)を除去した後、これらを引算して差をとっている。ローパスフィルタ 43, 44 による高域成分除去は、後段の演算ポイント数を減らすためであり、バンドパスフィルタを代りに用いてもよい。次に、加算器 46 からの上記差成分の信号は、絶対値回路 47 にて絶対値がとられ、積分回路 48 において一定時間累積され、この積分回路 48 からの出力の極小値を極小値検出回路 49 で検出している。

積分回路 48 は、一定時間内、例えば信号の少なくとも 1 波長分を含む時間内での上記差成分の絶

対値データを累算するものであり、この累算値が最も小さくなるのは、上記第1、第2の信号波形が一致したとき、すなわち位相差が0となったときである。現実の入力信号は複雑な波形を有し、また各遅延素子21、22の遅延時間に応じた入力信号の互いに異なる時点の波形を比較していることを考慮して、位相差がある程度小さくなるとき、あるいは信号波形が略等しくなって上記差分絶対値データの累算値が極小となるときを極小値検出回路49で検出し、この時点をも位相差最少点としている。

そして、この位相差最少点検出回路40の極小値検出回路49からの出力に応じて、上記クロスフェード切換回路部30の各可変減衰器31、32の減衰量を互いに逆向きに制御し、前述したクロスフェード操作を行なわせている。

また、各可変遅延素子21、22の遅延時間の制御については、一方の遅延時間が減少して時間軸圧縮動作を行なっているとき、他方の遅延時間を固定することによって、入力信号周波数に変化

しない場合であっても位相差が最少となる点を検出できるようにしており、上記位相差最少点で上記他方の遅延時間を減少させて時間軸圧縮動作を開始させるようにしている。

次に、このような位相差最少点検出回路40からの検出力に基づく遅延制御動作及びクロスフェード動作について、第9図を参照しながら説明する。

第9図Aは第7図の第1の可変遅延素子21の遅延時間の変化状態を、また第9図Cは第7図の第2の可変遅延素子22の遅延時間の変化状態を、それぞれ示している。ここで、第1の可変遅延素子21においては、時刻 t_{11} 、 t_{15} 、…において遅延時間が0から T_D まで不連続に変化し、遅延出力信号(第9図B)に不連続が生ずる。そして、遅延時間が最大値 T_D に達した時刻 t_{11} 、 t_{15} 等(の直後)より遅延時間を一定に保ち、上記位相差最少点検出回路40からの検出力が得られた時刻 t_{12} 、 t_{16} 等において遅延時間を減少させる動作を開始し、時間軸圧縮動作を開始させると

もに、クロスフェード切換回路部30を制御して第9図Eのようなクロスフェード操作を行なわせている。この第9図Eの実線が第1の可変遅延素子21からの出力信号のレスポンスを、また第9図Eの仮想線が第2の可変遅延素子22からの出力信号のレスポンスを、それぞれ示している。次に、第2の可変遅延素子22については、時刻 t_{13} 、 t_{17} 等で出力信号(第9図D)の不連続が生じており、これらの時刻 t_{13} 、 t_{17} 等より遅延時間を固定して第1の遅延出力信号との間の位相差最少点検出を行ない、最少点検出時刻 t_{14} 、 t_{18} 等において遅延時間減少動作を開始させ、かつクロスフェード操作を行なっている。

ここで、各遅延素子21、22にRAM(ランダムアクセスメモリ)を用いる場合に、上記遅延時間を固定するためには、前述した第3図や第4図のリードアドレスRAの移動速度をライトアドレスWAの移動速度に等しくすればよく、具体的には、リードアドレスRAがライトアドレスWAを追い抜いた時点でRAの移動速度をWAに等し

くし、上記位相差最少点検出時刻でRAの移動速度を元の速い速度にもどせばよい。

以上の第9図の遅延動作制御においては、各可変遅延素子21、22の遅延時間を最大値 T_D から最小値0まで変化させており、この遅延時間が変化している期間、すなわち時刻 t_{12} 、 t_{16} 間や t_{14} 、 t_{17} 間等は一定時間 T_{F1} となっているが、上記出力信号の不連続点の発生する間隔 t_{11} 、 t_{15} 間や t_{13} 、 t_{17} 間等は不定である。これに対して、上記出力信号の不連続点が一定間隔で現われるようにするには、第10図のような遅延時間制御を行なえばよい。

この第10図において、Aが遅延素子21の、Bが遅延素子22の、それぞれ遅延時間の変化状態を示し、第10図Cがクロスフェード切換波形を示している。第1の可変遅延素子21においては、遅延時間が小さな値から最大値 T_D に不連続に変化した時刻 t_{21} より遅延時間を固定して、上述した位相差最少点を検出を行ない、最少点を検出された時刻 t_{22} で遅延時間の減少動作を開始さ

せるとともにクロスフェード操作を行なって第2の出力信号から第1の出力信号に切替える。また、第2の可変遅延素子22においては、遅延時間の不連続変化時刻 t_{22} より遅延時間を固定し、位相差最少点検出時刻 t_{24} で遅延時間の減少動作を開始させるとともに第1の出力信号から第2の出力信号にクロスフェード切替えを行なう。そして、第1の遅延素子21において、上記不連続発生時刻 t_{21} より一定の時間 T_{F2} 経過後の時刻 t_{25} では、遅延時間が0にまで達していかなくとも強制的に最大値 T_0 に不連続変化させ、再び上記と同様な遅延時間固定及び位相差最少点検出を行なわせる。第2の遅延素子22も同様に、時刻 t_{23} から上記一定時間 T_{F2} 経過後の時刻 t_{27} にて強制的に遅延時間を不連続変化させている。この場合、第1の遅延素子21の不連続変化時刻 t_{21} 、 t_{25} 等と、第2の遅延素子22の不連続変化時刻 t_{23} 、 t_{27} 等とを略 $T_{F2}/2$ だけずらせることにより、上記位相差最少点の検出動作に許容される時間(いわゆるマージン)が略 $T_{F2}/2$ となる。

ても切替え方法による信号への影響が異なり、例えば、低域周波数の信号についてはクロスフェードのみでよく、高域周波数の信号に対して上述のような位相合せを行なった後に切替えるのが好ましい。

また、入力信号を帯域分割して、各帯域毎に2本の可変遅延素子やクロスフェード切替回路部を通し、より高性能化を図ることできる。例えば、第11図は本発明の他の実施例を説明するための基本構成を示すブロック回路図であり、この第11図において、入力端子1からの入力信号を、ローパスフィルタ5L、バンドパスフィルタ5M、及びハイパスフィルタ5Hに送ることにより、入力信号のそれぞれ低域周波数成分、中域周波数成分、及び高域周波数成分を取り出ししている。これらのフィルタ5L、5M及び5Hからの出力信号は、可変遅延素子21Lと22L、21Mと22M、及び21Hと22Hに、それぞれ送られ、可変遅延素子21L、22Lからの出力信号が切替回路3Lに、遅延素子21M、22Mからの出力

このような本発明の実施例によれば、第1の可変遅延素子21からの第1の遅延出力信号と、第2の可変遅延素子22からの第2の遅延出力信号との間の位相が略一致した時点で、第1、第2の出力信号の一方から他方へクロスフェードして切替えているため、例えば第5図に示すような波形の連続性を保った形態で円滑な信号切替えが行なえる。これは、入力信号が正弦波に近い場合のみならず、一般の複雑な波形の場合も同様であることは勿論である。

したがって、最終的に得られる出力信号については、接続点の信号波形の連続性が高く、従来のようなクリックノイズや異音等の無い良好な再生音を得られる。

ここで、各遅延出力信号の位相が一致した時点で信号切替えを行なう場合には、必ずしも本実施例のようなクロスフェードを行なわせる必要はなく、単純な切替スイッチ等により切替えても異音発生等の悪影響は比較的少なく、充分実用に耐え得るものである。また、信号の周波数帯域によっ

信号が切替回路3Mに、また遅延素子21H、22Hからの出力信号が切替回路3Hに、それぞれ送られている。各切替回路3L、3M、3Hからの出力は、加算器6に送られて加算混合され、出力端子2より取り出される。そして、各帯域毎に前述した第7図の実施例と同様な信号処理を行なわせることにより、高品質の出力信号を得ることができる。この場合、各切替回路3L、3M、3Hにそれぞれ上記クロスフェード切替回路部30の構成を用いる必要はなく、例えば高域側の切替回路3Hには単純な切替スイッチを用いるようにしてもよい。また、低域側については、前述した位相差最少点検出に応じた遅延動作制御を省略し、単に時間軸圧縮のみを行なった後、切替回路3Lでクロスフェードするようにしてもよい。さらに、時間軸圧縮を行なうときの時間区分単位となるフレーム周期を上記帯域毎に異ならせるのが好ましい。

なお、本発明は上記実施例のみに限定されるものではなく、実施例においては時間軸を圧縮する

例について説明したが、時間軸を伸張する場合には、可変遅延素子の遅延時間を時間経過とともに増大するようになり、例えば遅延時間が最小値のときに遅延時間を固定して位相差最少点の検出を行なうような動作により、波形連続性を良好に保った円滑な信号切換えが行なえる。また、第4図とともに説明したように、複数の遅延素子を1個のRAMで実現でき、このような装置全体を、デジタル信号プロセッサ、メモリ管理ユニット、デジタル信号メモリ等より成るシステムによりソフト的に実現することも容易である。

〔発明の効果〕

本発明に係る信号処理装置によれば、時間軸伸張あるいは圧縮された信号の接続点を最適化して、信号波形の連続性を良好に保ったまま円滑な信号の切換えが行なえ、接続点でのノイズや異常音発生のない高品質の出力を得ることができる。

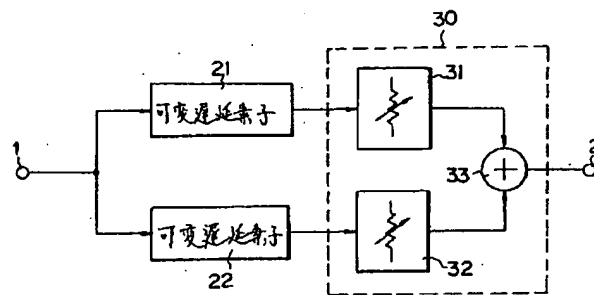
4. 図面の簡単な説明

第1図は本発明の先行技術となる信号処理装置を示すブロック回路図、第2図は第1図の回路の

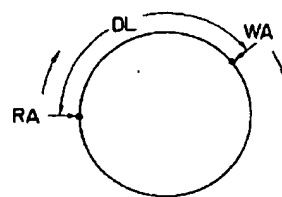
動作を説明するためのタイムチャート、第3図及び第4図は可変遅延素子にRAMを用いる場合のアドレスの変化状態を説明するための図、第5図及び第6図は2つの信号のクロスフェード切換操作を説明するための波形図、第7図は本発明の一実施例を示すブロック回路図、第8図は第7図の位相差最少点検出回路の一例を示すブロック回路図、第9図及び第10図は第7図の回路の動作を説明するためのタイムチャート、第11図は本発明の他の実施例を説明するためのブロック回路図である。

- 1..... 入力端子
- 2..... 出力端子
- 21, 22..... 可変遅延素子
- 23..... 遅延制御回路
- 30..... クロスフェード切換回路部
- 31, 32..... 可変減衰器
- 33..... 加算器
- 40..... 位相差最少点検出回路

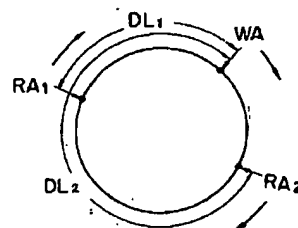
第1図



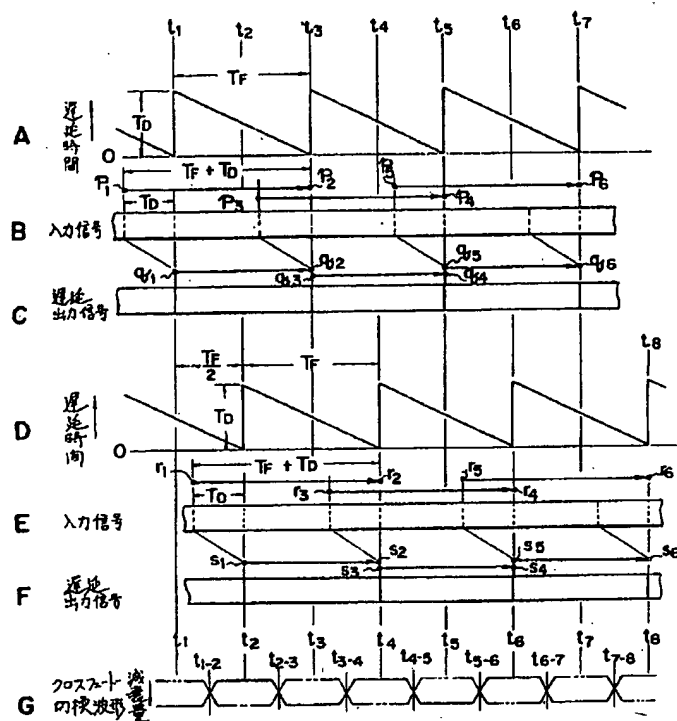
第3図



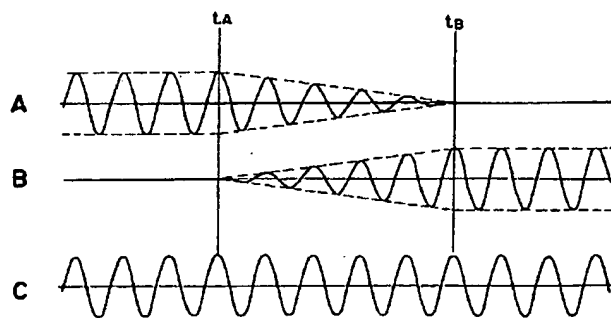
第4図



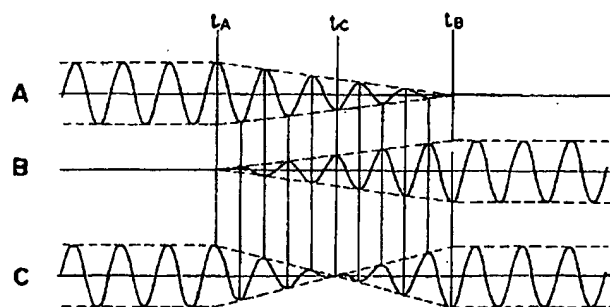
第2図



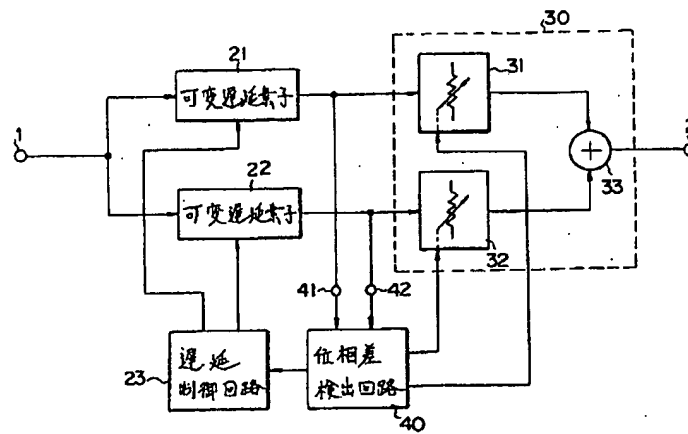
第5図



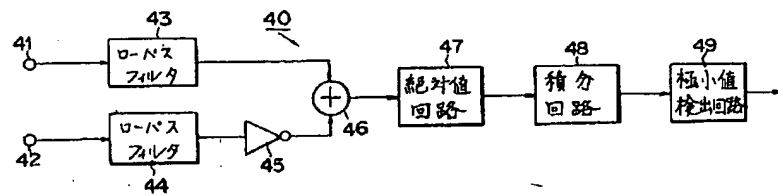
第6図



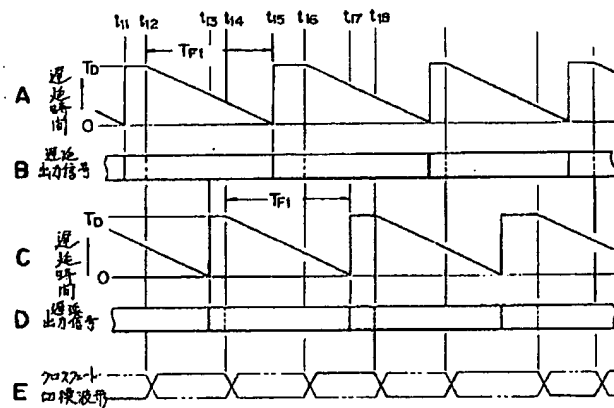
第 7 図



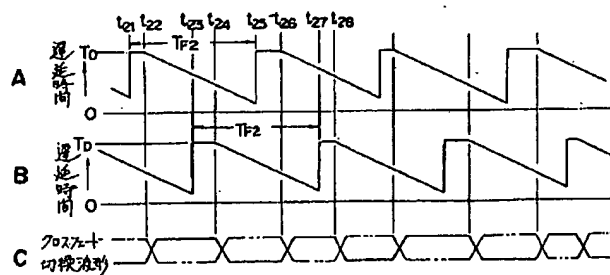
第 8 図



第 9 図



第10 図



第 11 図

